

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-267250

(43)Date of publication of application : 15.10.1993

(51)Int.Cl.

H01L 21/302
H01L 21/70
H01L 29/788
H01L 29/792

(21)Application number : 04-061791

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.03.1992

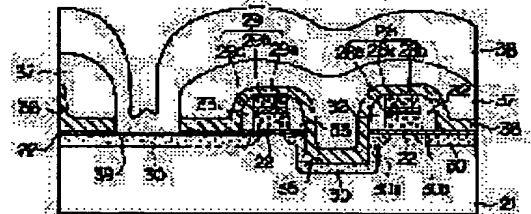
(72)Inventor : FUJIWARA MASAKAZU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract

PURPOSE: To structure a highly reliable element by preventing the breakdown strength of a gate insulating film from being deteriorated when the field oxide film is etched.

CONSTITUTION: On the surface of a silicon substrate 2, a gate oxide film 22 and a field oxide film which is not shown in the figure are formed. On the gate oxide film 22 and field oxide film, a conductivity poly silicon is deposited, which is patterned to form gate electrodes 28 and 29. After a nitride film is deposited on the gate electrodes 28 and 29, side walls 32 and 33 are formed on the sidewall parts of the gate electrodes 28 and 29 by an isotropic etching. Then, with the gate electrodes 28 and 29, and side walls 32 and 33 as masks or a part of masks, the field oxide film between the gate electrodes 28 and 29 is etched to enable the silicon substrate 21 to be exposed. The structure is thus arranged to form an impurity diffusion layer 30 by introducing an impurity such as As⁺ into the silicon substrate 21.



LEGAL STATUS

[Date of request for examination] 27.12.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3065164

[Date of registration] 12.05.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-267250

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl.⁶H 0 1 L 21/302
21/70
29/788
29/792

識別記号

J

庁内整理番号

7353-4M
9169-4M

F I

技術表示箇所

H 0 1 L 29/78 371

審査請求 未請求 請求項の数3(全10頁)

(21)出願番号

特願平4-61791

(22)出願日

平成4年(1992)3月18日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 藤原 正和

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

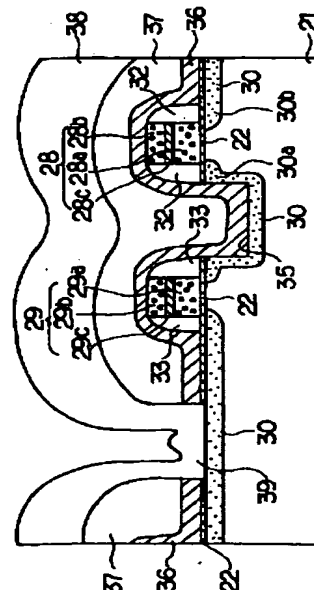
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】 (修正有)

【目的】 フィールド酸化膜エッチング時に、ゲート絶縁膜の耐圧性の劣化を防止して、信頼性の高い素子を構成する。

【構成】 シリコン基板21の表面には、ゲート酸化膜22と図示しないフィールド酸化膜を形成し、そのゲート酸化膜22とフィールド酸化膜の上に導電性のポリシリコンを堆積させて、これをパターニングしてゲート電極28、29を形成し、さらに、そのゲート電極28、29上に窒化膜を堆積させた後、異方性エッチングを施してゲート電極28、29の側壁部にサイドウォール32、33を形成する。そして、ゲート電極28、29及びサイドウォール32、33をマスク又はマスクの一部としてゲート電極28と29の間のフィールド酸化膜をエッチングしてシリコン基板21を露出させ、そのシリコン基板21中に例えばAs⁺などの不純物を導入して不純物拡散層30を形成するように構成する。

本発明の一実施例に係るフラッシュ型EEPROMの構成を説明する断面図



【特許請求の範囲】

【請求項1】表面に段差(35)を有する半導体基板(21)表面に形成される絶縁膜(22)と、該絶縁膜(22)表面にバターンニング形成される導電層(28, 29)と、該導電層(28, 29)のより前記段差(35)に近い側の側面から前記絶縁膜(22)上に延在するように、かつ少なくとも該導電層(28, 29)の端部において前記絶縁膜(22)の表面を覆うように形成される側壁(32, 33)と、を有する半導体装置。

【請求項2】請求項1記載の要件に加えて、浮遊ゲートとして用いられる導電層(28a)の表面に形成される第2の絶縁膜(29c)と、該第2の絶縁膜(29c)表面に形成され、制御ゲートとして用いられる第2の導電層(29b)と、前記段差(35)表面に導電性不純物が添加されてなるソース・ドレイン領域(30)と、を有し、不揮発性半導体メモリとしたことを特徴とする半導体装置。

【請求項3】半導体基板(21)表面に一様に絶縁膜(22)を形成し、該絶縁膜(22)表面に導電層(28, 29)をバターンニング形成する工程と、該導電層(28, 29)表面から前記半導体基板(21)上に延在するように、かつ該導電層(28, 29)と該半導体基板(21)とでできる凹凸を反映したならかな凹凸を表面に有するように絶縁膜(31)を形成する工程と、該絶縁膜(31)を、該導電層(28, 29)側面に側壁として残るようにエッチングする工程と、少なくとも該導電層(28, 29)上から該半導体基板(21)上に延在するように、マスク(34)を形成する工程と、該マスク(34)および前記側壁(32, 33)を用いて、前記半導体基板(21)表面を異方性エッチングして、溝を形成する工程と、を有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、MOS構造を有する半導体装置及びその製造方法に関し、特にフィールド酸化膜をエッチングして隣り合うゲート電極間の基板中に拡散層を形成する例えば不揮発性メモリなどの半導体装置及びその製造方法に関する。近年、不揮発性のメモリとしては、例えば紫外線(UV)照射により記憶内容が消去できるEPROM(Erasable Programmable ROM)などがあるが、UV照射の手間や、書き換えコストがかかっていたため、最近では電氣的に情報の書き換えが可能な不揮発性メモリとして、EEPROM(Electrical

ly Erasable Programmable ROM)が注目されている。その中でもワード単位やチップ単位で一括消去が可能な、いわゆるフラッシュメモリは、特にフロッピーディスクなどの磁気メモリに代わる不揮発性メモリとして注目を集めている。

【0002】しかし、上記のような不揮発性メモリを製造するにあたって、素子の小面積化を目的として、電極(ゲート電極、キャパシタ電極等)をマスク又はマスクの一部として使い、セルフアラインで隣り合うゲート電極間のフィールド酸化膜をエッチング除去した後、基板中に拡散層を形成する方法は知られていたが、エッチングによってフィールド酸化膜以外のゲート電極下などでは、絶縁体膜(ゲート酸化膜、キャパシタ膜等)がエッチングイオンに曝されて浸食を受け、耐圧不良等により素子の信頼性が著しく損なわれることがあった。

【0003】そこで、素子の信頼性を保ちつつ、ゲート電極間のフィールド酸化膜を除去して、基板中に拡散層を形成することが可能な半導体装置及びその製造方法が要請されている。

【0004】

【従来の技術】図7は従来例の半導体装置を示す平面図であり、(a)はフィールド酸化膜形成時の図、(b)は基板中の拡散層形成時の図である。図8は図7のA-A線断面における製造工程図である。図9は図7のB-B線断面における製造工程図である。図10は従来のUV型EPROMの断面構成図である。

【0005】これらの図において、1は単結晶シリコンなどからなる例えばp型のシリコン基板、2はシリコン基板1の表面に例えばLOCOS法で形成したSiO₂などからなるフィールド酸化膜、3はドーフトポリシリコンなどの導電材料からなるゲート電極、4及び5はレジストマスク、6はシリコン基板1中に形成された不純物拡散層、7は例えばシリコン基板1の表面を熱酸化して得られるSiO₂などのゲート酸化膜、8はゲート電極を形成する導電性のポリシリコン層、9はフィールド酸化膜2のエッチング時にシリコン基板中に形成される基板溝部、10はエッチングにより浸食されたゲート酸化膜7のダメージ領域、11は例えばSiO₂膜又はONO(酸化/窒化/酸化)膜などからなるゲート間絶縁膜、12は例えばCVDのSiO₂などからなる層間絶縁膜、13は例えばPSGなどによる層間絶縁膜、14は例えばAlなどによる配線層である。

【0006】まず、図7(a)に示すように、シリコン基板1上に所定間隔ごとにフィールド酸化膜2がLOCOS法などにより形成される。フィールド酸化膜2と次のフィールド酸化膜2との間は、素子形成領域であり、フィールド酸化膜2によって素子間分離が行われている。次に、図7(a)のA-A線断面は、図8(a)であり、シリコン基板1上の素子形成領域にマスクとなる窒化膜(Si₃N₄)などをバターンニング形成した後、

シリコン基板1の表面を熱酸化して6000Å程度のフィールド酸化膜2をLOCOS法によって形成する。

【0007】次に、図8(b)に示すように、フィールド酸化膜2上にCVD法により4000Å程度のドーパントポリシリコン層を堆積させ、その上にフォトリソグレイ技術によってパターンニングした後、レジストマスク4を形成する。そして、このレジストマスク4をエッチングマスクとしてRIE等によりポリシリコン層をエッチングしてゲート電極3を形成する。レジストマスク4は、アッシング等により除去する。

【0008】次に、図8(c)に示すように、フォトリソグレイ技術によってフィールド酸化膜2のエッチングしない部分を覆うと共に、両ゲート電極3上にレジストマスク5の開口部のエッジが来るようにパターンニングし、ゲート電極3及びレジストマスク5をマスクとしてフィールド酸化膜2をRIE等により異方性エッチングする。これにより、隣接するゲート電極3間のフィールド酸化膜2は、除去されてシリコン基板1が露出する。

【0009】次に、図8(d)に示すように、露出したシリコン基板1に例えばイオン注入法などにより、As⁺などの不純物を導入し、アニール処理を行ってn型の不純物拡散層6を形成する。図7(b)のA-A線断面図が、この図8(d)である。一方、図7(a)の素子形成領域におけるB-B線断面図は、図9(a)である。

【0010】図9(a)に示すように、シリコン基板1を熱酸化により膜厚300~350Å程度のゲート酸化膜を形成する。次に、図9(b)に示すように、ゲート酸化膜7上にCVD法により4000Å程度の不純物をドーピングして導電化したポリシリコン層8を堆積させる。次に、図9(c)に示すように、ポリシリコン層8上にフォトリソグレイ技術によってパターンニングした後、レジストマスク4を形成する。そして、このレジストマスク4をエッチングマスクとしてRIE等によりポリシリコン層をエッチングしてゲート電極3を形成し、レジストマスク4を除去する。

【0011】次に、図9(d)に示すように、フォトリソグレイ技術によってゲート酸化膜7のエッチングしない部分を覆うと共に、両ゲート電極3上にレジストマスク5の開口部のエッジが来るようにパターンニングし、そのレジストマスク5及びゲート電極3をマスクとしてゲート酸化膜7及びシリコン基板1の一部がRIE等により異方性エッチングされ、基板溝部9が形成される。そして、その後レジストマスク5を除去する。このエッチング処理は、上記フィールド酸化膜2を除去するためのものである。

【0012】そして、図9(e)に示すように、基板溝

部9内に例えばイオン注入法などにより、As⁺などの不純物を導入し、アニール処理を行って不純物拡散層6を形成する。図7(b)のB-B線断面図が、この図9(e)である。そして、図10に示す従来のUV型EPROMは、UV照射によってフローティングゲートに溜まった電荷を放出させて消去するもので、上記したゲート電極3の構造は、フローティングゲート電極3aとコントロールゲート電極3bとの間にゲート間絶縁膜11が配置されている。そして、これらのゲート電極3の素子領域上がSiO₂の層間絶縁膜12とSOGの層間絶縁膜13とで覆われており、その層間絶縁膜12、13上には、さらにA1などの配線層14が形成され、コンタクトホール15を介して不純物拡散層6とコンタクトをとっている。

【0013】

【発明が解決しようとする課題】上記したように、従来の半導体装置は、ゲート電極をマスク又はマスクの一部として使い、フィールド酸化膜をセルフアラインでエッチングした後、基板中に拡散層を形成するため、拡散層となる領域と、それに隣接する電極の位置ずれがなく、微細な構造が容易に形成されて、素子の小面積化を図ることができる。

【0014】しかしながら、このような従来の半導体装置の場合、図9(d)に示すエッチング処理は、図8(c)に示すフィールド酸化膜2をエッチングしてシリコン基板1が露出するまで続けられる。このため、図9(d)では、ゲート電極3をマスクとしてゲート酸化膜7及びシリコン基板1を異方性エッチングする際に、ゲート電極3下のゲート酸化膜7がエッチングイオンに曝され、図中の矢印Xで示す部分からゲート酸化膜7を浸食して、欠陥や汚染物質等が入ることにより、欠陥領域10が形成される。これにより、ゲート絶縁膜の耐圧不良による信頼性、すなわち素子の信頼性を損なうという問題があった。このエッチングイオンによるゲート酸化膜7に対する浸食は、エッチング中は継続され、エッチャントやエッチング出力などのエッチング条件等によっても、浸食される深さや程度が異なってくる。

【0015】そこで、メモリ等の大容量化傾向は、集積度が上がるに従って素子が微細化し、ゲート酸化膜の膜厚もこれに伴って薄くなることから、ゲート絶縁膜の信頼性の向上が一層望まれている。さらに、上記したフラッシュメモリなどでは、消去時にソース側に高電圧を印加し、ファウラーノードタイムトンネル電流を利用して、フローティングゲート電極内に溜めた電荷(e⁻)をゲート酸化膜の一部のトンネル酸化膜(120Å程度)を介して、ソース側に抜いて消去するため、特にゲート酸化膜の耐圧特性が重要となる。

【0016】従って、上記したゲート酸化膜が薄膜化した素子やフラッシュメモリなどのように絶縁膜の耐圧特性が重要な素子については、素子の信頼性を重視する

と、従来のフィールド酸化膜をゲート電極をマスクにしてセルフアラインでエッチングし、基板中に拡散層を形成する方法が使えなくなってしまう、小面積化できなくなるという問題があった。

【0017】そこで、本発明は、このような従来の課題に鑑みてなされたものであり、隣り合うゲート電極間の基板中に拡散層となる領域を形成するためのフィールド酸化膜エッチング時に、ゲート電極下のゲート絶縁膜をエッチングイオンに曝さないようにして、ゲート絶縁膜の耐圧性の劣化を防止して、信頼性の高い半導体装置及びその製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】請求項1記載の発明による半導体装置は、上記目的を達成するため、表面に段差を有する半導体基板表面に形成される絶縁膜と、該絶縁膜表面にバターンニング形成される導電層と、該導電層のより前記段差に近い側の側面から前記絶縁膜上に延在するように、かつ少なくとも該導電層の端部において前記絶縁膜の表面を覆うように形成される側壁とを有するものである。

【0019】請求項2記載の発明による半導体装置は、上記目的を達成するため、請求項1記載の要件に加えて、浮遊ゲートとして用いられる前記導電層の表面に形成される第2の絶縁膜と、該第2の絶縁膜表面に形成され、制御ゲートとして用いられる第2の導電層と、前記段差表面に導電性不純物が添加されてなるソース・ドレイン領域とを有し、不揮発性半導体メモリとしたものである。

【0020】請求項3記載の発明による半導体装置は、上記目的を達成するため、半導体基板表面に一樣に絶縁膜を形成し、該絶縁膜表面に導電層をバターンニング形成する工程と、該導電層表面から前記半導体基板上に延在するように、かつ該導電層と該半導体基板とでできる凹凸を反映したなだらかな凹凸を表面に有するように絶縁膜を形成する工程と、該絶縁膜を該導電層側面に側壁として残るようにエッチングする工程と、少なくとも該導電層上から該半導体基板上に延在するように、マスクを形成する工程と、該マスクおよび前記側壁を用いて、前記半導体表面を異方性エッチングして、溝を形成する工程とを有するものである。

【0021】

【作用】本発明によれば、図1に示されるように、シリコン基板21上のフィールド酸化膜（図示しない）及びゲート酸化膜22の表面には、複数のゲート電極28、29が所定間隔をおいて平行に配置されている。このゲート電極28、29は、フローティングゲート電極28a、29aとコントロールゲート電極28b、29bとがゲート間絶縁膜28c、29cを介して構成されている。そして、各ゲート電極28、29の側壁部には、 SiO_2 のフィールド酸化膜（図示しない）よりエッチン

グレートが小さい窒化膜（ Si_3N_4 ）などを使ってサイドウォール32、33が形成されている。このため、隣り合うゲート電極28、29間の基板21中に拡散層30を形成するためのフィールド酸化膜エッチング時には、サイドウォール付のゲート電極28、29をマスク又はマスクの一部として使ってエッチングすると、サイドウォール32、33がフローティングゲート電極28a、29a下のゲート絶縁膜22やゲート間絶縁膜28c、29cを覆って保護し、エッチングイオンに曝されないで、ゲート絶縁膜22及びゲート間絶縁膜28c、29cの耐圧性の劣化が防止され、信頼性の高い素子とすることができる。

【0022】

【実施例】以下、本発明を図面に基づいて説明する。図1は本発明の一実施例に係るフラッシュ型EEPROMの構成を説明する断面図であり、図2及び図3は図1のフラッシュ型EEPROMの製造工程を説明する図である。図4は本実施例の半導体装置の概略構成を説明する平面図であり、図5は図4のA-A線断面における製造工程図であり、図6は図4のB-B線断面における製造工程図である。

【0023】これらの図において、20はシリコン基板の表面に例えばLOCOS法で形成した SiO_2 などからなるフィールド酸化膜、21は単結晶シリコンなどからなる例えばp型のシリコン基板、22は例えばシリコン基板21の表面を熱酸化して得られる SiO_2 のゲート酸化膜、23はフローティングゲート電極を形成するための第1のポリシリコン層、24はゲート間絶縁膜を形成するための SiO_2 膜又はONO（酸化/窒化/酸化）膜、25はコントロールゲート電極を形成するための第2のポリシリコン層、26、27はレジストマスクである。28、29は隣接するゲート電極であって、28a、29aはドーパントポリシリコンなどの導電材料からなるフローティングゲート電極、28b、29bはドーパントポリシリコンなどの導電材料からなるコントロールゲート電極、28c、29cはフローティングゲート電極28a、29aとコントロールゲート電極28b、29bとの間に設けられたゲート間絶縁膜である。30はシリコン基板21中の基板段差部表面に形成された不純物拡散層、31はフィールド酸化膜20よりエッチングレートが小さい Si_3N_4 などからなるサイドウォールを形成するための絶縁体膜、32、33は絶縁体膜31を異方性エッチングしてゲート電極28、29の側壁に形成したサイドウォール、34はレジストマスク、35はフィールド酸化膜20のエッチング時にシリコン基板21中に形成される基板段差部、36は例えばCVDなどによる SiO_2 の第1の層間絶縁膜、37は例えばPSGなどによる第2の層間絶縁膜、38は例えばAlなどによる配線層、39はコンタクトホールである。

【0024】ここで、本実施例の半導体装置における概

略構成とその製造工程を図4～図6に基づいて説明する。まず、図4に示すように、シリコン基板21上の所定間隔ごとに形成されたフィールド酸化膜20は、素子分離領域であり、そのフィールド酸化膜20の間の素子形成領域には図示しないゲート酸化膜が形成されている。そして、フィールド酸化膜20とゲート酸化膜の上には、ゲート電極28、29が平行に配置されており、この隣接するゲート電極28、29の間のフィールド酸化膜20等を除去した後のシリコン基板21中に不純物拡散層30が形成されている。

【0025】そこで、図4のA-A線断面位置における製造工程を以下説明する。まず、図5(a)に示すフィールド酸化膜20上にゲート電極28、29を形成するまでは、従来例の図8(b)までと同様であり、ゲート電極28、29を覆うように絶縁体膜31をCVDにより3000Å程度堆積させる。この絶縁体膜31は、ゲート電極の側壁にサイドウォールを形成するもので、 SiO_2 のフィールド酸化膜20よりエッチングレートを小さくできる Si 、 N_2 等が使われる。

【0026】次に、図5(b)に示すように、絶縁体膜31をRIE等で異方性エッチングすることにより、サイドウォール32、33がゲート電極28、29の側壁部に形成される。次に、図5(c)に示すように、フォトリソグラフィ技術によってフィールド酸化膜20のエッチングしない部分を覆うと共に、両ゲート電極32、33上にレジストマスク34の開口部のエッジが来るようにパターニングする。このゲート電極32、33及びサイドウォール32、33は、マスクの一部として使うことができるので、レジストマスク34の位置合わせが容易に行える。そして、これらをエッチングマスクとしてフィールド酸化膜20をRIEでエッチングしてシリコン基板21を露出させる。

【0027】次に、図5(d)に示すように、露出したシリコン基板21部分に例えばイオン注入法を使って As^+ などの不純物を導入し、アニール処理を行ってn型の不純物拡散層30を形成する。図4(b)のA-A線断面図が、この図5(d)である。一方、図4のB-B線断面位置における製造工程を以下説明する。

【0028】まず、図6(a)に示すように、ここではフラッシュメモリを形成するため、シリコン基板21を熱酸化により膜厚100Å程度の薄いゲート酸化膜22を形成し、そのゲート酸化膜22上に従来と同様な工程を経て、厚さ4000Å程度のゲート電極28、29を形成し、その上に絶縁体膜31を堆積させる。次に、図6(b)に示すように、絶縁体膜31を上記と同様に異方性エッチングしてサイドウォール32、33をゲート電極28、29の側壁部に形成する。

【0029】次に、図6(c)に示すように、レジストマスク34を形成して、ゲート電極28、29及びサイドウォール32、33をマスクとして異方性エッチング

する。このエッチングは、上記図5(c)において、フィールド酸化膜20をエッチングする際にゲート酸化膜22とシリコン基板21とが一緒に削られて、基板溝部35が形成される。

- 05 【0030】従来は、このエッチング工程の際に、ゲート電極28、29下のゲート酸化膜22がエッチングイオンに曝され、浸食が問題となっていた。ところが、本実施例では、ゲート電極28、29の側壁部にサイドウォール32、33を形成したため、ゲート電極28の側
- 10 端面からサイドウォールの幅wだけゲート酸化膜22が覆われて保護されている。従って、ゲート酸化膜22がエッチングガスに曝されても、浸食される部分が幅wよりも小さい場合は、ゲート電極28下の耐圧特性に影響を与えることなく、ゲート酸化膜22の信頼性、ひいて
- 15 は素子の信頼性を向上させることができる。

- 【0031】次に、図6(d)に示すように、基板段差部35内に例えばイオン注入法などにより、 As^+ などの不純物を導入し、アニール処理を行って不純物拡散層30を形成する。このように、本実施例の半導体装置によれば、サイドウォール付のゲート電極をマスクとしてセルフアラインでフィールド酸化膜をエッチング除去して、シリコン基板中に拡散層を形成しても、ゲート絶縁膜の耐圧特性を劣化させることがなくなり、信頼性の高い素子とすることができる。

- 25 【0032】そして、再び図1～図3に戻って、本実施例におけるフラッシュメモリの製造工程を具体的に説明する。まず、図2(a)に示すように、シリコン基板21表面を熱酸化して100Å程度の SiO_2 からなるゲート酸化膜22を形成する。次に、図2(b)に示すように、ゲート酸化膜21上にCVD法により2000Å程度の不純物をドーピングして導電化したフローティングゲート電極となる第1のポリシリコン層23を堆積させ、さらにその上にゲート間絶縁膜となる SiO_2 膜
- 30 (3層構造のONO膜であってもよい)24を200Å程度形成し、さらにその上にコントロールゲート電極となる第2のポリシリコン層25を2000Å程度堆積させる。

- 【0033】次に、図2(c)に示すように、第2のポリシリコン層25上にフォトリソグラフィ技術によってゲート電極形成部分を残すようにパターニングし、レジストマスク26、27を形成する。そして、このレジストマスク26、27をエッチングマスクとしてRIE等によりエッチングして、フローティングゲート電極28a、29a、ゲート間絶縁膜28c、29c及びコントロールゲート電極28b、29bからなるゲート電極28、29を形成する。

- 【0034】この場合のエッチング条件は、エッチャントにHBr(ガス圧0.2 Torr)を使い、RF周波数13.56MHz、出力350Wでポリシリコンをエ
- 50 ッチングすると、エッチングレートが3000Å/分で

あって、ゲート電極（ポリシリコン）とゲート酸化膜（ SiO_2 ）とのエッチングレート比は15:1となる。その後、レジストマスク26、27を O_2 アッシングにより除去する。

【0035】さらに、上記形成したゲート電極28、29をマスクとして、ゲート酸化膜22を通してシリコン基板21中にイオン注入法により As^+ などの不純物を導入し、その後アニール処理して、不純物拡散層30を形成する。次に、図2(d)に示すように、ゲート電極28、29を覆うように Si_3N_4 などの絶縁体膜31をCVDにより3000Å程度堆積させる。この絶縁体膜31は、ゲート電極28、29の側壁部にサイドウォールを形成するもので、 SiO_2 のフィールド酸化膜20よりエッチングレートが小さくできる Si_3N_4 等が使われる。そして、この絶縁体膜31をRIE等で異方性エッチングしてサイドウォール32、33を形成する。

【0036】この場合のエッチング条件は、エッチャントに $\text{CF}_4 + \text{O}_2$ （ガス圧0.4 Torr）を使い、RF周波数13.56MHz、出力350Wで窒化膜をエッチングすると、エッチングレートが3200Å/分であって、窒化膜（ Si_3N_4 ）とゲート酸化膜（ SiO_2 ）とのエッチングレート比は9:5となる。ここで形成されたサイドウォール32、33の幅wは、0.3μm程度であるが、上記したように形成する絶縁体膜31の膜厚に応じてサイドウォール幅wを適宜調整することができる。

【0037】次に、図3(e)に示すように、フォトリソグラフィ技術によってゲート酸化膜22などのエッチングしない部分を覆うと共に、両ゲート電極28、29上にレジストマスク34の開口部のエッジが来るようにパターニングし、そのレジストマスク34、ゲート電極28、29及びサイドウォール32、33をマスクとして、図示しない SiO_2 からなるフィールド酸化膜をエッチングしてシリコン基板21を露出させる。また、この時、図3(e)では、ゲート酸化膜22とシリコン基板21とが削られて、基板溝部35が形成される。

【0038】この場合のエッチング条件は、本実施例では、エッチャントに $\text{CF}_4 + \text{CHF}_3$ （ガス圧0.3 Torr）を使い、RF周波数13.56MHz、出力350Wでフィールド酸化膜の SiO_2 をエッチングすると、エッチングレートが2700Å/分であって、フィールド酸化膜（ SiO_2 ）とサイドウォール（ Si_3N_4 ）とのエッチングレート比は2:1となる。また、フィールド酸化膜（ SiO_2 ）とシリコン基板（ポリシリコン）とのエッチングレート比は9:1となる。そして、基板段差部35内に例えばイオン注入法などにより、 As^+ などの不純物を導入し、アニール処理を行って不純物拡散層30を形成し、その後レジストマスク3

4を除去する。

【0039】次に、図2(f)に示すように、CVDにより全面に SiO_2 膜を2000Å程度堆積させて第1の層間絶縁膜36を形成すると共に、その上にPSGなどからなる第2の層間絶縁膜37を形成し、その後熱処理を加えてメルトさせる。そして、図1に示すように、第2の層間絶縁膜37の上にレジストマスクを形成してエッチングし、第2の層間絶縁膜37、第1の層間絶縁膜36及びゲート酸化膜22を除去してコンタクトホールを形成し、A1をスパッタ法により埋め込んで配線層38を形成する。

【0040】上記のようにして形成された本実施例のフラッシュメモリにおいて、例えばフローティングゲート電極28aに書き込まれた情報を一括消去する場合は、ソース拡散層30a側に逆バイアスの高電圧（12V程度）を印加し、ドレイン拡散層30bを解放することにより、フローティングゲート電極28aとの間に生じた電界によるファウラー・ノードイムトンネル電流を利用して、フローティングゲート電極28aに蓄積された電荷（ e^- ）がソース拡散層30a側へ抜くものである。このように、フラッシュメモリの場合は、消去時などにソース拡散層30aに高電圧が印加されるので、ゲート酸化膜22の耐圧特性が特に重要となるが、本実施例のようにサイドウォール32、33でゲート電極28、29下のゲート酸化膜22が覆われているので、エッチングイオンに曝されることなく、信頼性の高い素子とすることができる。

【0041】なお、上記工程を経て形成された本実施例に係るフラッシュメモリは、隣り合うゲート電極28、29をマスクとしてセルフアラインでフィールド酸化膜をエッチング除去し、シリコン基板21中に不純物拡散層30を形成することができるため、微細な構造を形成することができる。

【0042】

【発明の効果】以上説明したように、本発明の半導体装置及びその製造方法によれば、隣り合うゲート電極間の基板中に拡散層を形成するために、ゲート電極をマスクとしてセルフアラインでフィールド酸化膜をエッチング除去することによって、微細な素子構造が得られると共に、そのフィールド酸化膜のエッチング時におけるゲート電極下のゲート酸化膜の浸食がサイドウォールによって防止され、耐圧性が良好で、信頼性の高い素子を形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るフラッシュ型EEPROMの構成を説明する断面図である。

【図2】図1のフラッシュ型EEPROMの製造工程を説明する図である。

【図3】図1のフラッシュ型EEPROMの製造工程を説明する図である。

【図4】本実施例の半導体装置の概略構成を説明する平面図である。

【図5】図4のA-A線断面における製造工程図である。

【図6】図4のB-B線断面における製造工程図である。

【図7】従来例の半導体装置を示す平面図である。

【図8】図7のA-A線断面における製造工程図である。

【図9】図7のB-B線断面における製造工程図である。

【図10】従来のUV型EPROMの断面構成図である。

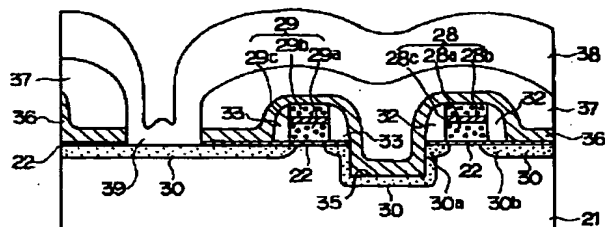
る。

【符号の説明】

- 21 シリコン基板（半導体基板）
- 22 ゲート酸化膜（絶縁膜）
- 28、29 ゲート電極（導電層）
- 28a、29a フローティングゲート電極
- 28b、29b コントロールゲート電極（第2の導電層）
- 28c、29c ゲート間絶縁膜（第2の絶縁膜）
- 30 不純物拡散層（拡散層）
- 32、33 サイドウォール（側壁）
- 35 基板段差部（段差）

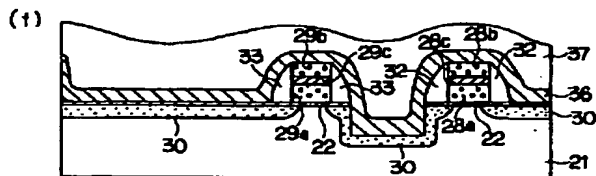
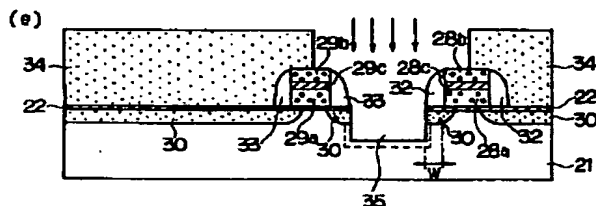
【図1】

本発明の一実施例に係るフラッシュ型EPROMの構成を説明する断面図



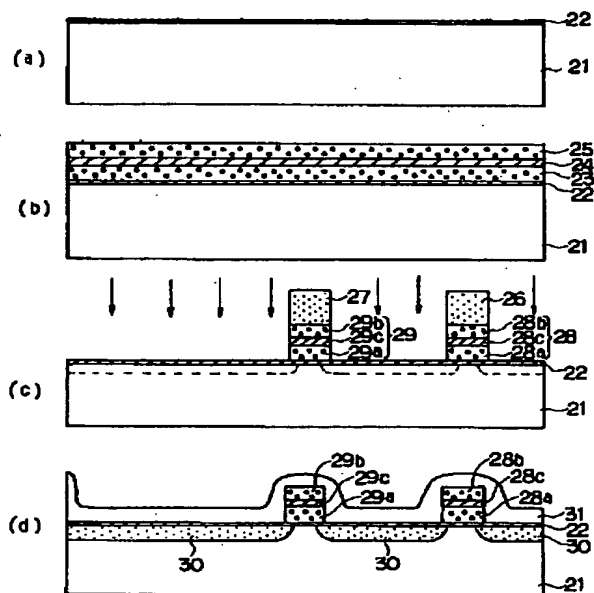
【図3】

図1のフラッシュ型EPROMの製造工程を説明する図



【図2】

図1のフラッシュ型EPROMの製造工程を説明する図

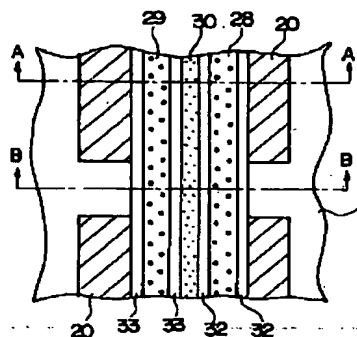


40

45

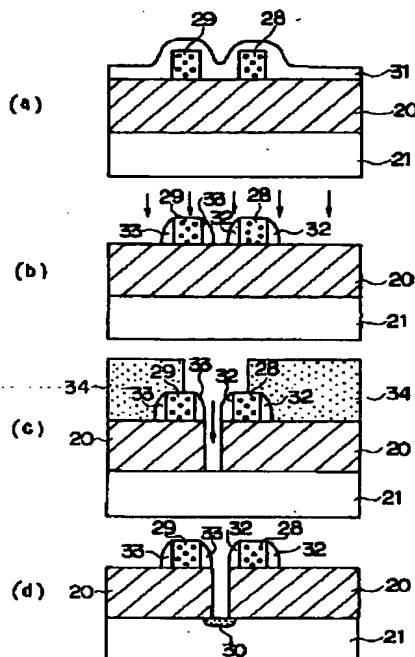
【図4】

本実施例の半導体装置の概略構成を説明する平面図



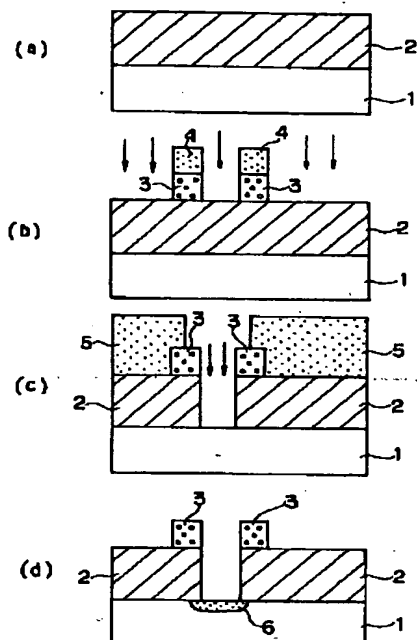
【図5】

図4のA-A線断面における製造工程図



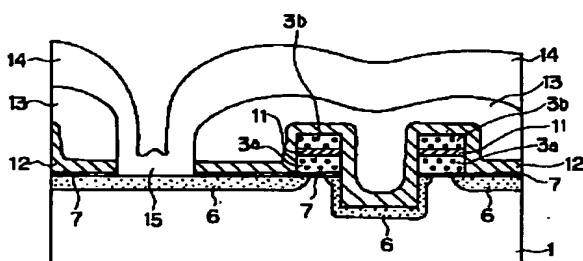
【図8】

図7-7のA-A線断面における製造工程図



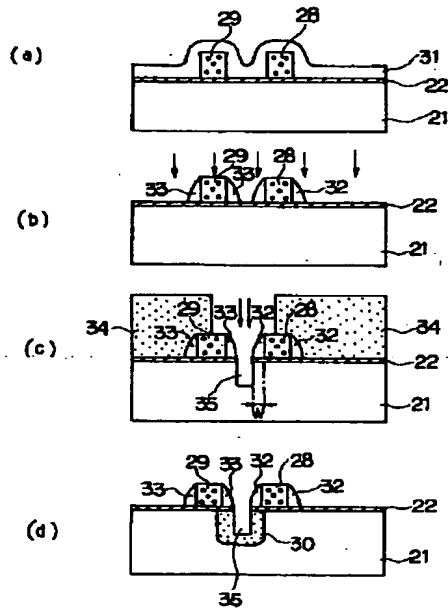
【図10】

従来のUV型EPROMの断面構成図



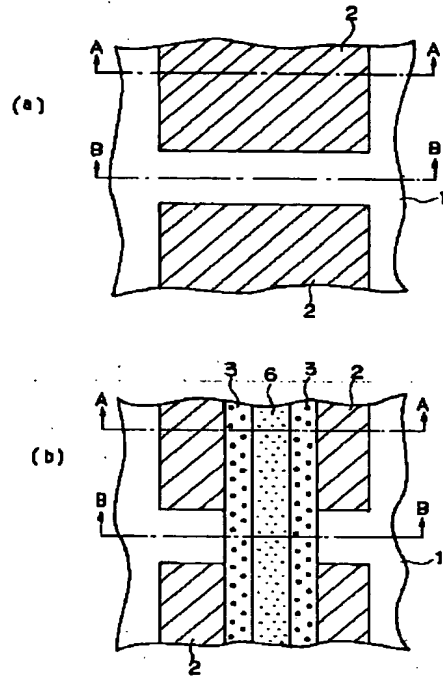
【図6】

図4のB-B線断面における製造工程図



【図7】

従来例の半導体装置を示す平面図



【図9】

図7のB-B線断面における製造工程図

